

56F801x 系列设备的特殊功能

作者 : Les Lewis

1 引言

56F801x 系列设备与其它 56800E 系列设备相比, 有很多不同的特征和改进功能。本应用笔记将对这些不同功能进行详细介绍, 以帮助用户了解更多相关知识。

2 一体化 RAM

56F801x 系列设备采用了与先前 56800E 设备不同的存储模型。该系列设备的 RAM 结构体系经过修改后, 在程序和数据存储映像图中均可使用, 这也使开发人员需要考虑这些修改所带来的影响。

- RAM 是一个单一的存储块, 可以出现在程序和数据存储映像图中。虽然在两个图中的地址不同, 但对应的是相同的物理块。
- 为了适应 RAM 的一体化功能, 飞思卡尔半导体公司的 CodeWarrior 修改了使用的存储配置文件。程序空间和数据空间之间在一体化 RAM 中的动态(联接时)分配, 请参见应用示例。

目录

1	引言	1
2	一体化 RAM	1
3	时钟	2
3.1	内部时钟	3
3.2	外部时钟	3
4	输入/输出(I/O)引脚的复用	4
5	带 LIN 从机模式的 SCI	6
6	SPI 的输入/输出问题	7
6.1	主机模式	7
6.2	从机模式	7
7	ADC 变动	7
7.1	独立的并行扫描定时	7
7.2	定时触发器的 ADC 同步输入	8
7.3	VREF 的选择	8
8	定时器的输入/输出	8
9	PWM 控制	10
9.1	传统的 PWM 操作	12
9.2	ADC 控制 PWM 输出	14
9.3	提供 PWM 控制的定时器驱动 ADC 采样	17
9.4	定时器控制 PWM 输出	19
9.5	由外部引脚控制的 PWM 输出	22
9.6	带 ADC 采样触发的由外部引脚控制的 PWM 输出	23
10	节能功能	24
11	参考资料	25

3 时钟

图 1 展示了 56F801x 的片内时钟合成 (OCCS) 模块框图。将本图与 56F8300 的外设用户手册的模块框图比较, 有以下几处重大修改:

- 支持外部时钟驱动, 不支持外部晶体。
- 时钟预分频器 (Prescaler) 已经取消。
- PLL 只提供单一运行频率 (192MHz)
 - 与原来的设计相同, PLL 倍频器固定设为 24 倍, 不可更改。由于源时钟为 8MHz, PLL 的运行频率则为 192MHz, 然后将该值除以 6, 可以得到系统时钟频率为 32MHz。
- 只有 PWM 和定时器模块的时钟才可以设为系统时钟频率或系统时钟频率的 3 倍。3 倍时钟能为应用提供更精细的定时控制。
 - PWM 时钟源的选择由 SIM_GPS 寄存器的 PCR 位决定。
 - 定时器时钟源的选择由 SIM_GPS 寄存器的 TCR 位决定。
- ADC 定时选项增加了待机 (standby) 模式。

注意图 1 中有两个后分频器模块。它们都由 OCCS_DIVBY 寄存器 PLLCOD 字段控制。因此, 这两种模块的模式总是同时改变。同理, OCCS_CTRL 寄存器的 ZSRC 字段控制两个 MUXES, 使其可选择输入 / 振荡器时钟或者都选择 PLL 输出时钟。因此 (The net effect is that), 对于所有选择的系统时钟选项, HS_PERF_CLK 总是 SYS_CLK(系统时钟) 速率的 3 倍 (驱动系统时钟和 IPbus 时钟)。

还应注意的是, ADC 备用时钟由弛张振荡器直接驱动。如果使用 ADC 待机功能, 必须给弛张振荡器供电使其工作。在设计过程中, 在使用 ADC 待机功能时, 我们假设芯片时钟源是弛张振荡器。

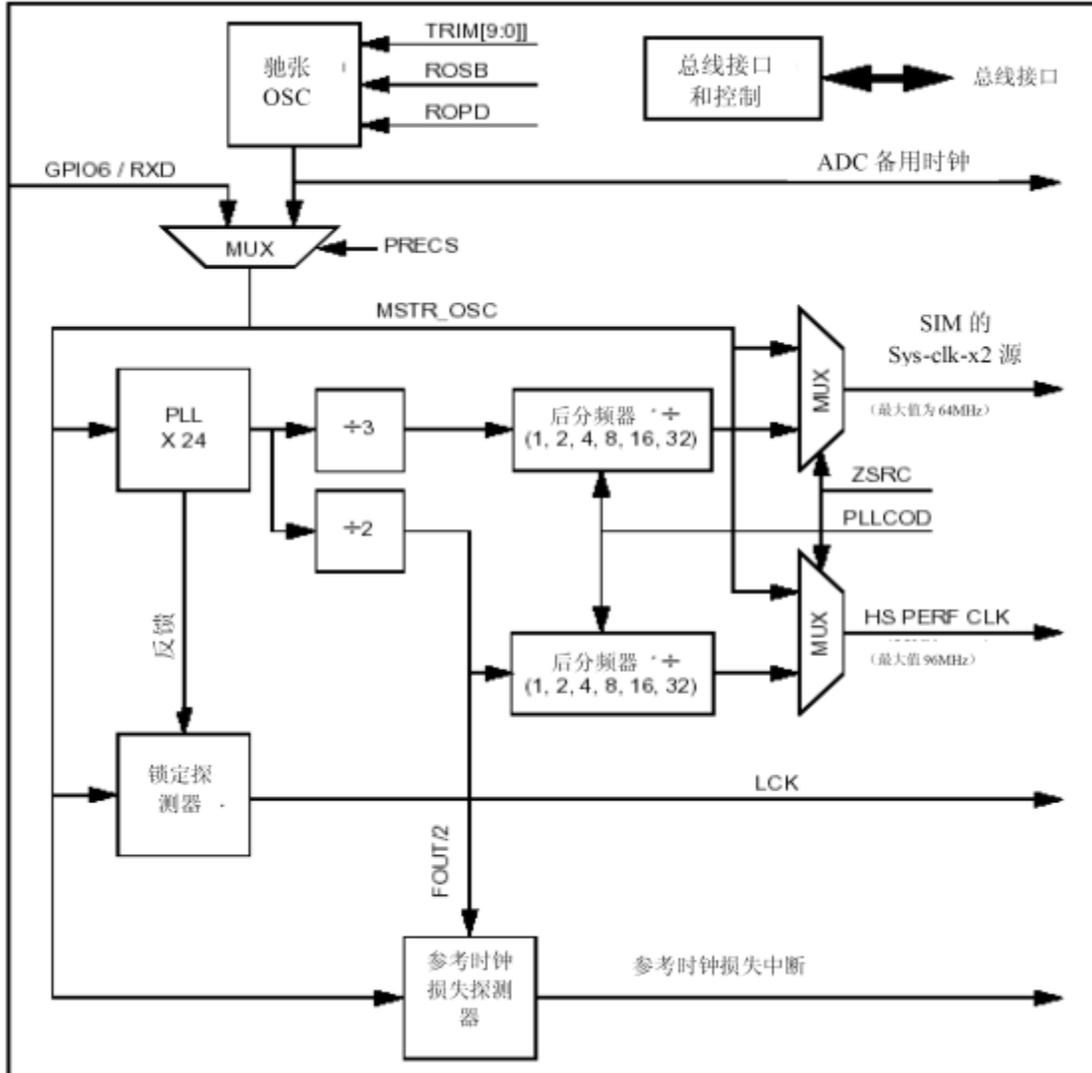


图 1. 带弛张振荡器的 OCCS 模块框图

3.1 内部时钟

在《56F8000 外设参数手册》中，弛张振荡器的介绍表明振荡器在出厂时已经过校准，因此调整寄存器（Trim Register）可以设置为正常的 8 MHz 运行频率。但是，一旦设备电源中断，OCCS_OCTRL 寄存器就无法保存校准值。实际上，校准参数是保存在 Flash 存储器中，应用软件可以通过 FM_OPT1 寄存器读取该参数。如果需要运行校准的弛张振荡器，应用软件必须将该寄存器的调整值复制到 OCCS_OCTRL 寄存器中。

3.2 外部时钟

将外部时钟用作芯片的时钟源时，应注意下列事项：

- PLL 只能在 192 MHz 频率的很窄范围内运行。因此如果使用 PLL，输入时钟必须为 8 MHz。
- 如果输入时钟不是 8MHz，PLL 将无法运行。芯片将以输入时钟频率的 1/2 为频率运行，此时定时器和 PWM 的 3xHS_PERF_CLK 操作不可用。

- 芯片使用外部时钟源时，ADC 备用时钟不可用，除非为弛张振荡器提供电源使其运行。如用该配置，ADC 备用时钟与芯片其余部分是异步操作的。

4 输入 / 输出 (I/O) 引脚的复用

表 1 表明，要在 56F801x 设备的各个引脚上配置 I/O 功能，首先必须设置控制位。表中阴影部分高亮显示了各引脚的默认（复位）功能，最后两列表示引脚的输入或输出由哪个外设寄存器位控制。

表 1. 外部引脚功能配置

引脚	选中功能	选中功能的寄存器设置		寄存器设置 ...		
		GPIO_PEREN	SIM_GPS	输入 ^{1,2}	输出 ^{1,2}	
GPIOA0	GPIO	bit 0 = 0	N/A	DDIR = 0	DDIR = 1	
	PWM0	bit 0 = 1				
GPIOA1	GPIO	bit 1 = 0	N/A	DDIR = 0	DDIR = 1	
	PWM1	bit 1 = 1				
GPIOA2	GPIO	bit 2 = 0	N/A	DDIR = 0	DDIR = 1	
	PWM2	bit 2 = 1				
GPIOA3	GPIO	bit 3 = 0	N/A	DDIR = 0	DDIR = 1	
	PWM3	bit 3 = 1				
GPIOA4	GPIO	bit 4 = 0	N/A	DDIR = 0	DDIR = 1	
	PWM4	bit 4 = 1		CFG_A4 bit=0, 1		
	FAULT1			CFG_A4 bit= 2		
	T2			CFG_A4 bit= 3	TMR2_SCTRL bit OEN = 0	TMR2_SCTRL bit OEN = 1
GPIOA5	bit 5 = 0		N/A	DDIR = 0	DDIR = 1	
GPIOA5	PWM5	bit 5 = 1	CFG_A5 bit=0, 1			
	FAULT2			CFG_A5 bit= 2		
	T3			CFG_A5 bit= 3	TMR3_SCTRL bit OEN = 0	TMR3_SCTRL bit OEN = 1
GPIOA6	GPIO	bit 6 = 0	N/A	DDIR = 0	DDIR = 1	
	FAULT0	bit 6 = 1				
GPIOA7	GPIO	bit 7 = 0	N/A	DDIR = 0	DDIR = 1	
	RESET_B	bit 7 = 1				
GPIOB0	GPIO	bit 0 = 0	N/A	DDIR = 0	DDIR = 1	
	SCLK	bit 0 = 1		CFG_B0 bit=0	SPI_SCTRL bit SPMSTR =0	SPI_SCTRL bit SPMSTR =1
	SCL			CFG_B0 bit=1	双向信号	

表 1. 外部引脚功能配置 (续)

引脚	选中功能	选中功能的寄存器设置		寄存器设置 ...	
		GPIO_PEREN	SIM_GPS	输入 ^{1,2}	输出 ^{1,2}
GPIOB1	GPIO	bit 1 = 0	N/A	DDIR = 0	DDIR = 1
	SS_B	bit 1 = 1	CFG_B1 bit=0	SPI_SCTRL bit SPMSTR =1	
	SDA		CFG_B1 bit=1	双向信号	
GPIOB2	GPIO	bit 2 = 0	N/A	DDIR = 0	DDIR = 1
	MISO	bit 2 = 1	CFG_B2 bit=0	SPI_SCTRL bit SPMSTR =1	SPI_SCTRL bit SPMSTR =0
	T2		CFG_B2 bit=1	TMR2_SCTRL bit OEN = 0	TMR2_SCTRL bit OEN = 1
GPIOB3	GPIO	bit 3 = 0	N/A	DDIR = 0	DDIR = 1
	MOSI	bit 3 = 1	CFG_B3 bit=0	SPI_SCTRL bit SPMSTR =0	SPI_SCTRL bit SPMSTR =1
	T3		CFG_B3 bit=1	TMR3_SCTRL bit OEN = 0	TMR3_SCTRL bit OEN = 1
GPIOB4	GPIO	bit 4 = 0	N/A	DDIR = 0	DDIR = 1
	T0	bit 4 = 1	CFG_B4 bit=0	TMR0_SCTRL bit OEN = 0	TMR0_SCTRL bit OEN = 1
	CLKO		CFG_B4 bit=1		
GPIOB5	GPIO	bit 5 = 0	N/A	DDIR = 0	DDIR = 1
	T1	bit 5 = 1	CFG_B5 bit=0	TMR1_SCTRL bit OEN = 0	TMR1_SCTRL bit OEN = 1
	FAULT3		CFG_B5 bit=1		
GPIOB6	GPIO	bit 6 = 0	N/A	DDIR = 0	DDIR = 1
	CLKIN		N/A (OCCS_CTRL 的 PRECS 位 =1)	DDIR = 0	
	RXD	bit 6 = 1	CFG_B6 bit=0		
	SDA		CFG_B6 bit=1	双向信号	
GPIOB7	GPIO	bit 7 = 0	N/A	DDIR = 0	DDIR = 1
	TXD	bit 7 = 1	CFG_B7 bit=0		
	SCI		CFG_B7 bit=1	双向信号	
GPIOC0	GPIO	bit 0 = 0	N/A	DDIR = 0	DDIR = 1
	ANA0	bit 0 = 1			
GPIOC1	GPIO	bit 1 = 0	N/A	DDIR = 0	DDIR = 1
	ANA1	bit 1 = 1			

表 1. 外部引脚功能配置 (续)

引脚	选中功能	选中功能的寄存器设置		寄存器设置 ...	
		GPIO_PEREN	SIM_GPS	输入 ^{1,2}	输出 ^{1,2}
GPIOC2	GPIO	bit 2 = 0	N/A	DDIR = 0	DDIR = 1
	ANA2	bit 2 = 1	N/A (ADC_VREFbit15 SEL_VREFH)=0)		
	VREFH		N/A (ADC_VREFbit15 SEL_VREFH)=1)		
GPIOC3	GPIO	bit 3 = 0	N/A	DDIR = 0	DDIR = 1
	ANA3	bit 3 = 1			
GPIOC4	GPIO	bit 4 = 0	N/A	DDIR = 0	DDIR = 1
	ANB0	bit 4 = 1			
GPIOC5	GPIO	bit 5 = 0	N/A	DDIR = 0	DDIR = 1
	ANB1	bit 5 = 1			
GPIOC6	GPIO	bit 6 = 0	N/A	DDIR = 0	DDIR = 1
	ANB2	bit 6 = 1	N/A (ADC_VREFbit15 SEL_VREFH)=0)		
	VREFLO		N/A (ADC_VREFbit15 SEL_VREFH)=1)		
GPIOC7	GPIO	bit 7 = 0	N/A	DDIR = 0	DDIR = 1
	ANB3	bit 7 = 1			
GPIOD0	GPIO	bit 0 = 0	N/A	DDIR = 0	DDIR = 1
	TDI	bit 0 = 1			
GPIOD1	GPIO	bit 1 = 0	N/A	DDIR = 0	DDIR = 1
	TDO	bit 1 = 1			
GPIOD2	GPIO	bit 2 = 0	N/A	DDIR = 0	DDIR = 1
	TCK	bit 2 = 1			
GPIOD3	GPIO	bit 3 = 0	N/A	DDIR = 0	DDIR = 1
	TMS	bit 3 = 1			

¹ 假设 SIM-PCE 寄存器支持外围设备时钟，并且外设已经使能。

² 黑色阴影部分表示不能提供 I/O 配置。

5 带 LIN 从机模式的 SCI

SCI 新增了 LIN 从机模式。

只要从机的原始波特率在主机波特率的 15% 以内，LIN 模式允许从 SCI 自动将波特率修改为主 SCI 的波特率，并支持 LIN 协议。该模式主要用于汽车应用，通常用来替代成本更高的 CAN 总线。

在异步协议中，开始位和数据位检测需要精确匹配的传输和接收波特率。LIN 模式允许从设备根据实际接收的数据，将波特率调整得更精确。

为了提供更可靠的通信，LIN 协议让主设备预先为信息配置一个主要中断同步字符消息。同步字符不能与 ASCII SYNC 字符混淆，由可以替换的数字 1 和 0 组成。从设备接收器的波特率必须低于主设备波特率的 15%。

在 LIN 模式中，从接收器先等待中断信号（行间距超过 10 位），然后寻找同步字符。如果找不到有效的同步字符，接收器将重新搜索中断状态。一旦获得有效同步字符（在中断字符后面），波特率将被相应调整，以进一步提高通信的可靠性。协议的其它内容必须在软件中实施。

6 SPI 的输入 / 输出问题

6.1 主机模式

在 SPI 外设的主机模式下，GPIOB1 引脚一般用做 GPIO 口，还可以驱动另一台设备的 SS 输入。在多从机环境中，其它 GPIO 引脚通常用于选择其他需要的 SPI 从机设备。

当 GPIOB1 引脚配置为 GPIO 引脚时，SPI 的 SS 输入将在内部被驱动为高电平。

6.2 从机模式

在 SPI 外设的从机模式下，应将 GPIOB1 引脚用于 SPI（SS）操作，以提供标准的从机选择控制。

7 ADC 变动

56F801x 的 ADC 模块在 56F8300 系列设计上新增了几大功能。《56F8000 外设参靠手册》对这些增强功能做了详细介绍，本文概述如下：

- 两个 A/D 转换器能够独立触发，因此转换器可以执行下列操作：
 - 单次连续扫描最多可扫描 8 个采样点，每个采样点可以选择任意输入；
 - 一次两个并行扫描最多可扫描 4 个采样点，可以选择任意 ANAn 输入与任意 ANBn 输入进行同步采样。在该模式下，A/D 转换器以相同的时序（timing）运行；
 - 两个并行扫描，两个转换器以独立的时序（timing）运行。参见 7.1 节，独立的并行扫描定时，了解更多定时信息。
- 新增待机操作，以提供额外的节能模式；
- 新增自动待机模式，与自动关电模式比较，该操作可以缩短启动响应时间。

7.1 独立的并行扫描定时

在正常的 ADC 运行期间，开始 / 触发（START/Trigger）事件发生时，ADC 时钟将重新定时，并从下一个 IPBus 时钟开始启动，所有后续 ADC 时序都由 ADC 时钟提供。在非同步并行扫描模式（SIMULT = 0）下运行时，若激活第一个转换器则同样发生上述重同步过程（假设两个转换器都处于空闲状态）。

如果一个 A/D 转换器已处于运行状态，并且随后会触发第二个转换器，则此时的 ADC 时钟无法重新定时。在这种情况下，只有在 ADC 时钟到达第一个边沿后，第二次转换方能启动。因此，在第二次触发事件中，转换能否准确定时还存在不确定因素。这种不确定性取决于 ADC 时钟比 IPBus 时钟慢多少，而这又由 ADC_CTRL2 寄存器的 DIV 字段决定。

如果节能模式已经激活，这一不确定性还会影响第二个转换器的上电启动。PUDELAY 时间只有在第一个 ADC 时钟发生时才会启动。

7.2 定时触发器的 ADC 同步输入

由于 ADC 增加了第二个 SYNC(同步) 触发器, 所以共有两个定时器通道能够触发 ADC 扫描事件。定时器 3 输出驱动 SYNC0, 定时器 2 输出驱动 SYNC1。

7.3 V_{REF} 的选择

引脚 V_{REFH} 和 V_{REFLO} 现在是与两个 ADC 输入引脚复用。这表示有两种方法可供选择: 一种是采用少两个输入通道, 但转换精度较高; 另一种是采用全部输入通道, 但转换精度较低。具体信息请参见表 2。如需了解每种配置的转换精度, 请参见实施设备的数据手册。

这种配置由 ADC_VREF 寄存器的 SEL_VREFH 和 SEL_VREFLO 位控制。

表 2. 输入引脚

设备	内部 V _{REF}	外部 V _{REF}
8013	6	4
8014	8	6

8 定时器的输入 / 输出

四定时器的文档资料表明, 定时器可以访问 4 个外部输入。外部信号以什么方式 (或什么时候) 连到这些输入引脚是由系统集成模块 (SIM) 和 GPIO 的配置来控制。例如, 图 2 介绍了与计数器 3 输入控制相关的各种复用 (MUX) 和控制, 该过程是所有输入控制中最复杂的一种。表 3 到表 5 介绍了这 4 个输入在选择将各种信号实际连接到定时器输入时的路径所采取的具体控制。

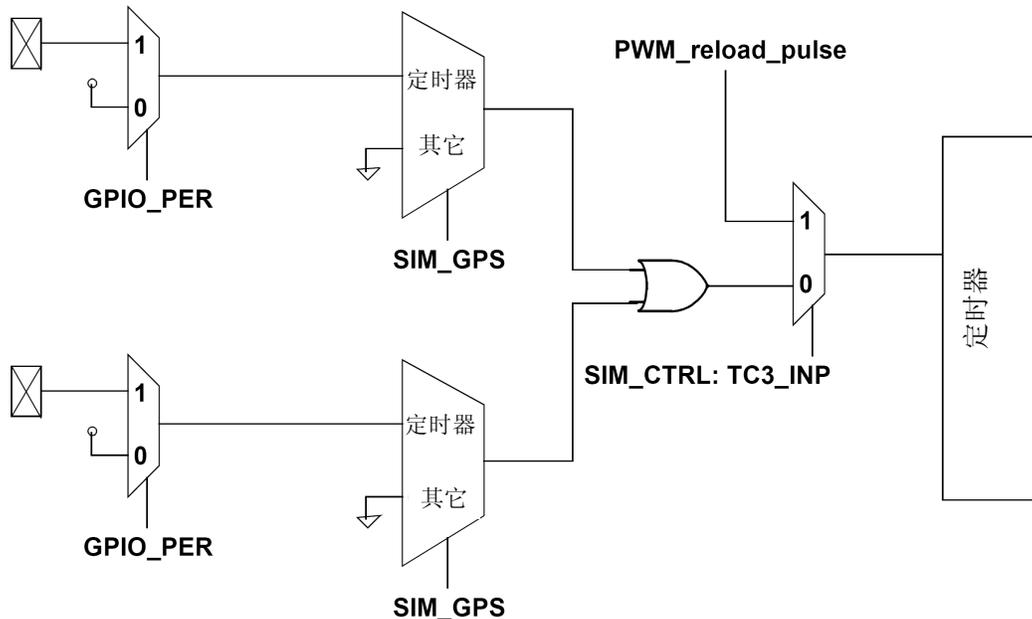


图 2. 定时器计数器 3 输入控制 MUX

表 3. 定时器输入 0 和 1

定时器输入 (TMR_CTRL:PCS 或 SCS)	GPIO_PER 控制位	SIM_GPS	定时器的实际输入
#0	B4 = 0	CFG_B4 (选择 T0) = 0	1
		CFG_B4 (选择 CLK0) = 1	0
	B4 = 1	CFG_B4 (选择 T0) = 0	TO_in (来自引脚)
		CFG_B4 (选择 CLK0) = 1	0
#1	B4 = 0	CFG_B5 (选择 T0) = 0	1
		CFG_B5 (选择 FAULT3) = 1	0
	B4 = 1	CFG_B5 (选择 T0) = 0	TO_out (来自引脚)
		CFG_B5 (选择 FAULT3) = 1	0

表 4. 定时器输入 2

定时器输入 (TMR_CTRL 选项)	GPIOA_PEREN (位 4)	GPIOB_PEREN (位 2)	SIM_GPS CFG_A4	SIM_GPS CFG_B2	实际的定时器输入
#2	0	0	(T2) ₃	(T2) 1	1
			(其它)	(MISO) 0	1
			(其它)	(T2) 1	1
		1	(MISO) 0	0	
			(T2) 3	(T2) 1	1
			(其它)	(MISO) 0	1
	1	0	(T2) 3	(T2) 1	T2_in (来自 GPIOB2 引脚)
				(MISO) 0	0
			(其它)	(T2) 1	1
		1	(T2) 3	(T2) 1	T2_out (到达 GPIOA4 引脚)
				(MISO) 0	0
			(其它)	(T2) 1	1
1	0	(T2) 3	(T2) 1	T2_in (来自 GPIOA4 引脚) 或 T2_in (来自 GPIOB2 引脚)	
			(MISO) 0	T2_in (来自 GPIOA4 引脚)	
	1	(T2) 3	(T2) 1	T2_in (来自 GPIOB2 引脚)	
			(MISO) 0	0	

表 5. 定时器输入 3

定时器输入 (TMR_CTRL选项)	TC3_INP in SIM_CTRL	GPIOA_PEREN (位 4)	GPIOB_PEREN (位 2)	SIM_GPS CFG_A5	SIM_GPS CFG_B3	实际的定时器输入		
#3	0	0	0	(T3) 3	(T3) 1	1		
				(其它)	(MOSI) 0	1		
				(其它)	(T3) 1	1		
			1	(T3) 3	(MOSI) 0	0		
				(其它) 3	(T3) 1	1		
				(其它) 3	(MOSI) 0	1		
		1	0	0	(T3) 3	(T3) 1	1	
					(其它)	(MOSI) 0	T3_out (到达 GPIOA5 引脚)	
					(其它)	(T2) 1	1	
			1	1	1	(T3) 3	(MOSI) 0	0
						(其它)	(T2) 1	T3_in (来自 GPIOA5 引脚) 或 T3_in (来自 GPIOB2 引脚)
						(其它)	(MOSI) 0	T3_in (来自 GPIOA5 引脚)
		1	N/A	N/A	N/A	N/A	N/A	PWM 重载同步信号

9 PWM 控制

图 3 是 56F801x 设备模块图。在本图中，明显提供了几种不同的 PWM 控制选项，用户必须对 PWM 引脚功能进行选择。从本图可以看到，I/O 功能选择（PWMn 输出和 FAULTn 输入）十分明显（参见表 1）。“如何控制 PWM”选项不明显，但是本章节剩余部分将对此进行详细阐述。对于讨论过的所有运行模式，本模块图略显重复，为了帮助理解，图中会标出正确的控制路径。在后面的图中，橙色和紫色线路分别代表正在讨论的运行模式使用的输入和输出。

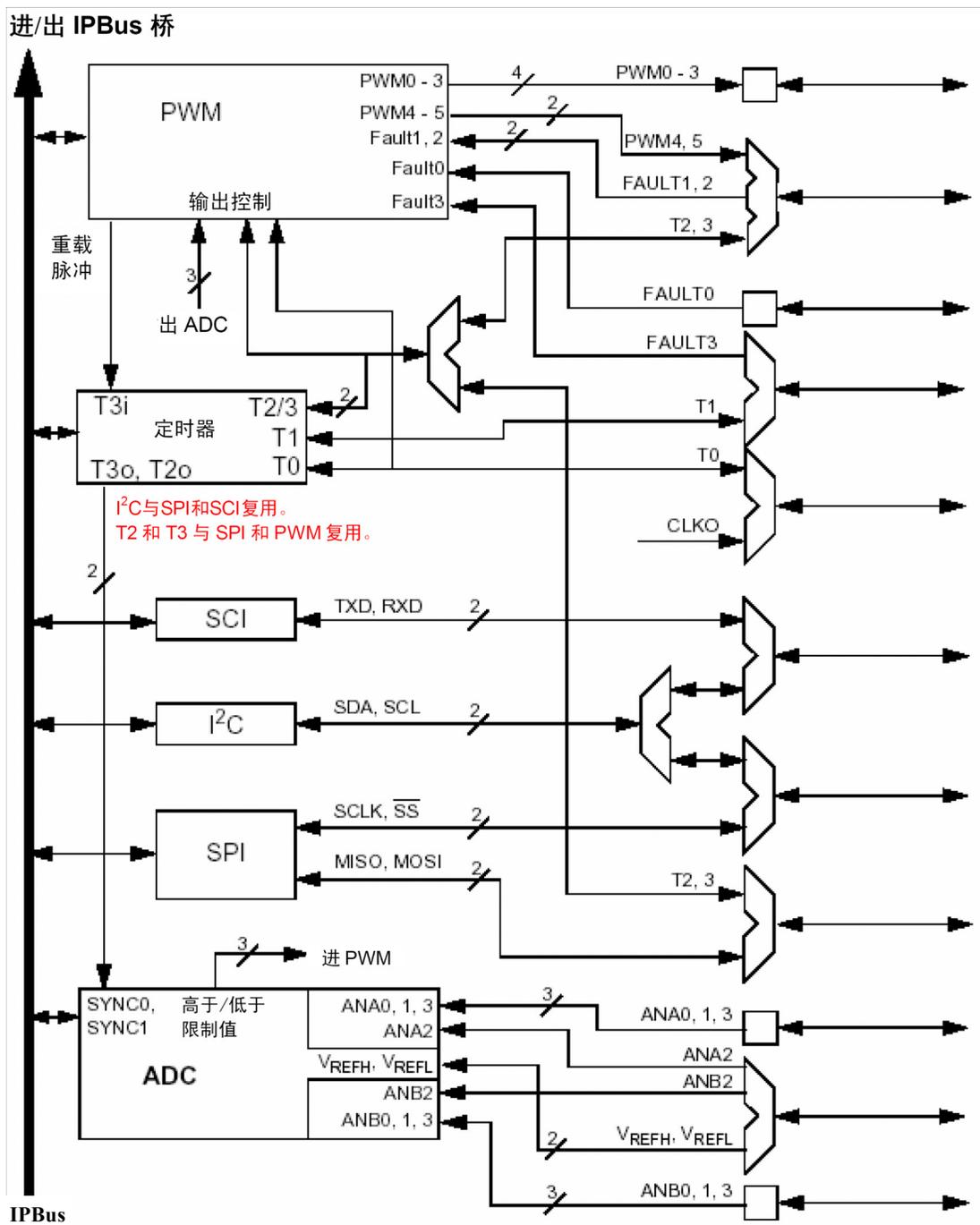


图 3. 外设 I/O 引脚 (Pin-out) 复用

PWM 模块中值得注意的一个修改是它新增了两个寄存器，如表 6 所示。

在旧设计中，死区插入只带一个控制。从 56F801x 设备开始，该控制扩展到对上升沿和下降沿死区进行单独定时。所以原来的 PMDEADTM 寄存器现在变成 PWM_DTIM0 和 PWM_DTIM1 两个寄存器。

增加 PMSRC 寄存器的目的是提高外设的灵活性和提供几种控制 PWM 的新方法。

表 6. PWM 寄存器 --56F801x 和以后可能提供的设备

地址 (PWM-BASE+)		寄存器名称	说明
新偏移量	旧偏移量		
\$14	新	SCTRL	PWM 源控制寄存器
\$13	\$12	ICCTRL	PWM 内部修正控制寄存器
\$12	\$11	PORT	PWM 端口寄存器
\$11	\$10	CCTRL	PWM 通道控制寄存器
\$10	\$0F	CNFG	PWM 配置寄存器
\$0F	\$0E	DMAP2	PWM 禁用映射寄存器 2
\$0E	\$0D	DMAP1	PWM 禁用映射寄存器 1
\$0D	重定义的	DTIM1	PWM 死区寄存器 1
\$0C	\$0C	DTIM0	PWM 死区寄存器 0
\$0B	\$0B	VAL5	PWM 值寄存器 5
\$0A	\$0A	VAL4	PWM 值寄存器 4
\$09	\$09	VAL3	PWM 值寄存器
\$08	\$08	VAL2	PWM 值寄存器 2
\$07	\$07	VAL1	PWM 值寄存器 1
\$06	\$06	VAL0	PWM 值寄存器 0
\$05	\$05	CMOD	PWM 计数器模块寄存器
\$04	\$04	CNTR	PWM 计数器寄存器
\$03	\$03	OUT	PWM 输出控制寄存器
\$02	\$02	FLTACK	PWM 故障状态识别
\$01	\$01	FCTRL	PWM 故障控制寄存器
\$00	\$00	CTRL	PWM 控制寄存器

9.1 传统的 PWM 操作

在图 4 中，橙色和紫色线路表示与 PWM 操作相关的输入和输出。PWM 内部控制可以控制 PWM 输出信号（PWM0 -3 和 PWM4 -6）的定时。PWM 故障输入（FAULT0 - 3）提供 PWM 输出故障禁用功能。

注意，这两个输出（PWM4， 5）与故障输入（FAULT1， 2）引脚复用，因此必须选择两引脚功能的其中之一。

在图 4 中，请注意 PWM 重载中断（SYNC 输出）信号被用作定时器 3 的输入。这样该定时器在生成输出信号之前，可以用来引入一个可控制的延迟。定时器输出然后通过 SYNC0 ADC 输入触发 ADC。如需了解该交互操作的更多信息，请参见表 5 和《56F8000 外设参考手册》的三种外设分类信息。

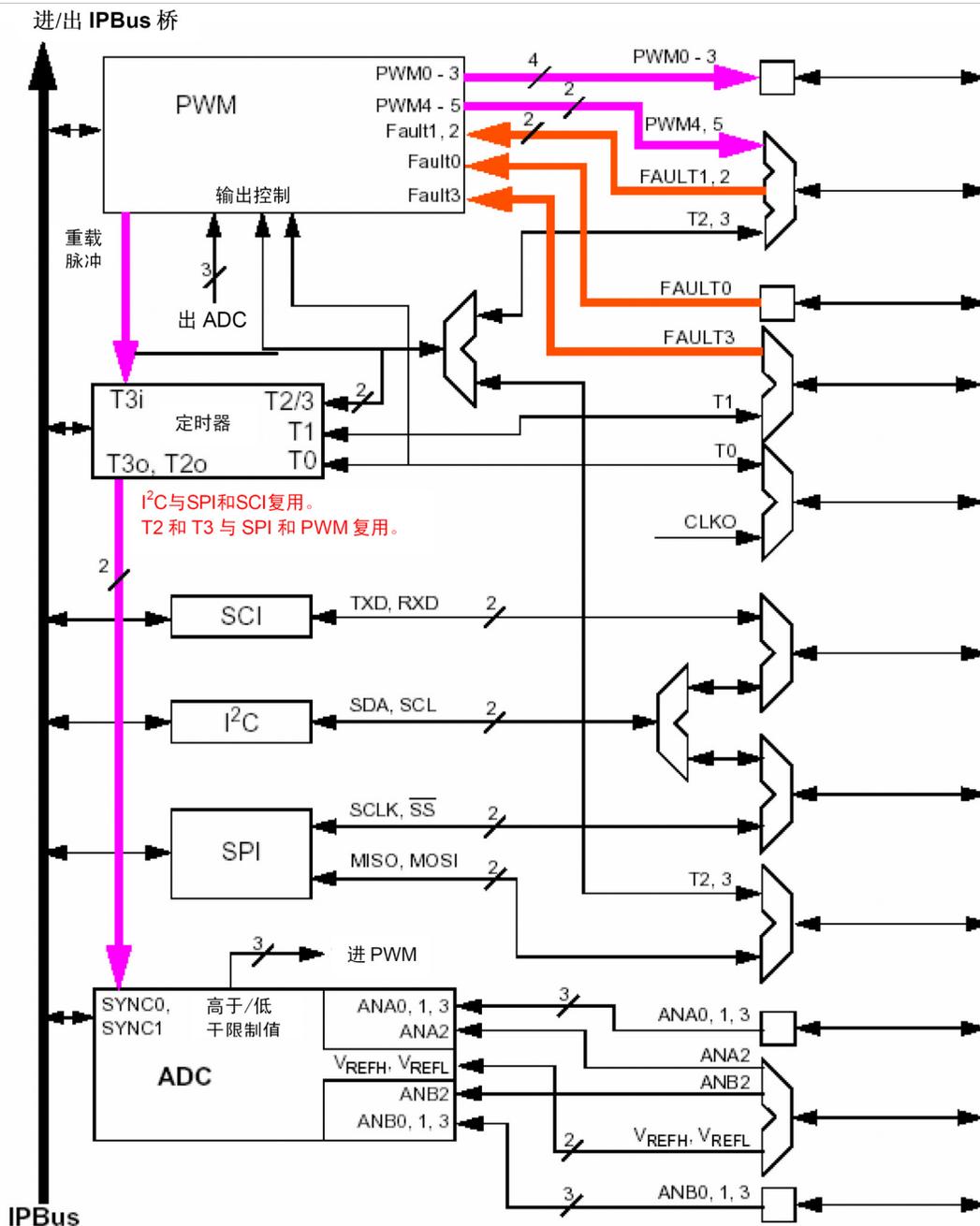


图 4. 传统的 PWM 操作

表 7. 驱动 ADC 测量的传统 PWM 控制设置

外设 / 寄存器配置	初始化步骤
GPIO	所有 I/O 引脚的默认功能都是 GPIO，因此规定所有 PWM 信号必须配置 GPIOA_PEREN 寄存器，以选择引脚的外设控制。在进行该操作前，首先应配置 SIM_GPS 寄存器，为 GPIOA4 和 GPIOA5 引脚选择必备的 PWM 功能。
SIM-PCE	使能 ADC、TMR 和 PWM 这些外设的时钟。
SIM_CTRL 中的 TC3_INP	如要支持 PWM_RELOAD_PULSE 信号驱动 T3 输入，TC3_INP 必须设置为 1。
定时器 3	四定时器通常用于触发式计数模式。 1. 配置定时器 3（或定时器 2，具体情况取决于要驱动的 ADC SYNC），以便将其中一个 IP_bus 时钟用作主计数源，将 T3 输入用作次输入。 2. 将输出模式设置为“Set 0FLAG 0n compare, clear 0n secondary source input edge.”该输出信号将驱动 ADC 的 SYNC0 (1) 输入。 3. TMR_CTRL: Length = 1; 0nCE = 1。 4. 设置比较寄存器，为您的应用提供正确的延迟。
ADC	假定用 SYNC0 触发 ADC： 1. 在 ADC_CTRL1 寄存器中设置 STOP0； 2. 为触发顺序模式（Triggered Sequential Mode）配置 SMODE[2:0]（也可以使用触发同时模式）； 3. 根据您的应用，在 ADC_CTRL2 中设置合适的 DIV 和其它控制字段； 4. 设置 ADC_CLIST1 寄存器，以便在 ADC 扫描中对正确的输入进行采样； 5. 设置 ADC_SDIS 寄存器； 6. 根据您的应用设置正确的 ADC_OFFSTn 寄存器； 7. 根据需求使能 ADC 节能功能； 8. 设置 STOP0 = 0。
PWM	1. 配置 PWM，为您的应用提供正常控制。该操作在很大程度上取决于您正在实施的应用，因此本文不做详细讨论。 2. 在复位配置中保留 PWM_SCTRL 寄存器。 3. 使能 PWM 来启动系统运行。

9.2 ADC 控制 PWM 输出

ADC 输入可以用来控制 PWM 互补输出，如图 5 所示。图 7 显示了芯片模块图真正的控制信号。以本模式运行时，ADC 可以持续监控选中的输入。输入转换后的数字结果将与寄存器最高 / 最低限制值进行比较，控制信号然后发送到 PWM 模块驱动 PWM 输出。一旦到达阈值，ADC 就会发生中断，进而允许用户软件了解发生的控制。

请注意：

- ADC 采样列表将决定每个 PWM 对使用哪个 ADC 输入：
 - 采样 0 ——> PWM 0 - 1
 - 采样 1 ——> PWM 2 - 3
 - 采样 2 ——> PWM 4 - 5
- 如果 $V_{IN} >$ 最高限制值，PWM 将关闭。如果 $V_{IN} <$ 最低限制值，PWM 将打开。

这个逻辑关系与 ADC 的 ADLSTAT 寄存器中的粘着位无关。

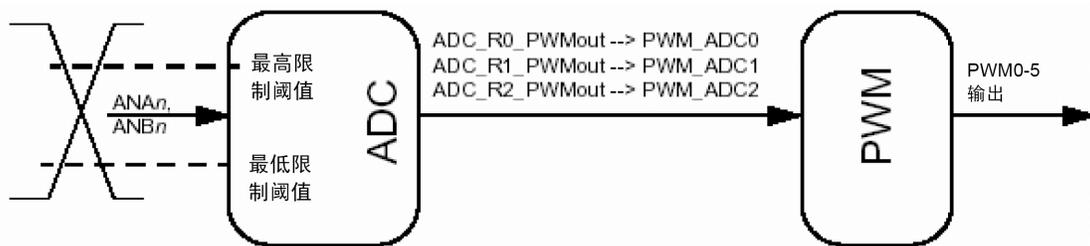


图 5. 驱动 PWM 出口的 ADC 输入

当PMOUT的OUTCTL n 位为1,并且对PMSRC寄存器编程使SRC0—2字段包含01(如图6所示)时进入该运行模式。根据所显示的寄存器设置,ADC_RSLT0的ADC输入将控制PWM0/1,ADC_RSLT1输入值将控制PWM2/3,ADC_RSLT2的输入值将控制PWM4/5输出。

PWM_BASE+\$14	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
读写	0	0	CINV	CINV	CINV	CINV	CINV	CINV	SRC2			SRC1		SRC0		
内容	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1

图 6. PWM 源控制寄存器 (SCTRL)

如果配置正确,用户能够完全控制信号电平触发点和应用磁滞现象(位于驱动PWM输出使用的控制信号中)。

表 8. PWM 输出¹ 的 ADC 控制设置

外设 / 寄存器配置	初始化步骤
GPIO	所有 I/O 引脚的默认功能都是 GPIO，因此规定的所有 PWM 信号必须配置 GPIOA_PEREN 寄存器，以选择引脚的外设控制。在进行该操作前，首先应配置 SIM_GPS 寄存器，为 GPIOA4 和 GPIOA5 引脚选择必备的 PWM 功能。
SIM-PCE	使能 ADC、TMR 和 PWM 这些外设的时钟。
ADC	<ol style="list-style-type: none"> 1. ADC_CTRL1 寄存器中设置 ST0P0； 2. 根据需求，在 ADC_CTRL1 寄存器中使能最低限制和最高限制中断功能。并根据需要为单个终端或不同会话配置输入。 为循环顺序模式（Loop Sequential Mode）配置 SMODE[2:0]（也可以使用循环平行模式 --Loop Parallel Mode）； 3. 根据您的应用，在 ADC_CTRL2 中设置合适的 DIV 和其它控制字段； 4. 设置 ADC_CLIST1 寄存器，以便 SAMPLE0、SAMPLE1 和 SAMPLE2 能从规定的控制输入信号中获取采样。选中的输入采样将分别保存在 ADC_RSLT0、ADC_RSLT1 和 ADC_RSLT2 寄存器中。如果要测量其它输入，还需要设置其它 SAMPLEn 字段。 5. 设置 ADC_SDIS 寄存器，允许每次扫描至少可以使用 3 个采样。可以使用数值 0x00F8。 6. 将 ADC_LOLIM0 - 2 寄存器设置为低阈值，将 ADC_HILIM0 - 2 寄存器设置为高阈值。 7. 根据您的应用设置合适的 ADC_OFFST0 - 2 寄存器（假设为 0X0000）。
PWM	<ol style="list-style-type: none"> 1. 配置 PWM，提供正常的互补操作。该操作在很大程度上取决于您正在实施的应用，因此本文不做详细讨论。 2. 将 PWM_OUT 寄存器的 OUTCTLn 位设置为 1。 3. 设置 PWM_SCTRL 寄存器，如图 6 所示。
最后一步	启动 ADC 操作时，在 ADC_CTRL1 寄存器中设置 ST0P0 = 0，START0 = 1。

¹ 本例确保您能够对每对 PWM 输出进行单独控制。

9.3 提供 PWM 控制的定时器驱动 ADC 采样

9.2 节 ADC 控制 PWM 输出介绍了 ADC 在最高采样率操作时，对 PWM 输出进行的控制。如果 ADC 采样不需要全速运行，可以使用定时器根据用户定义速率提供定期采样。详细信息请见图 8 和图 9。

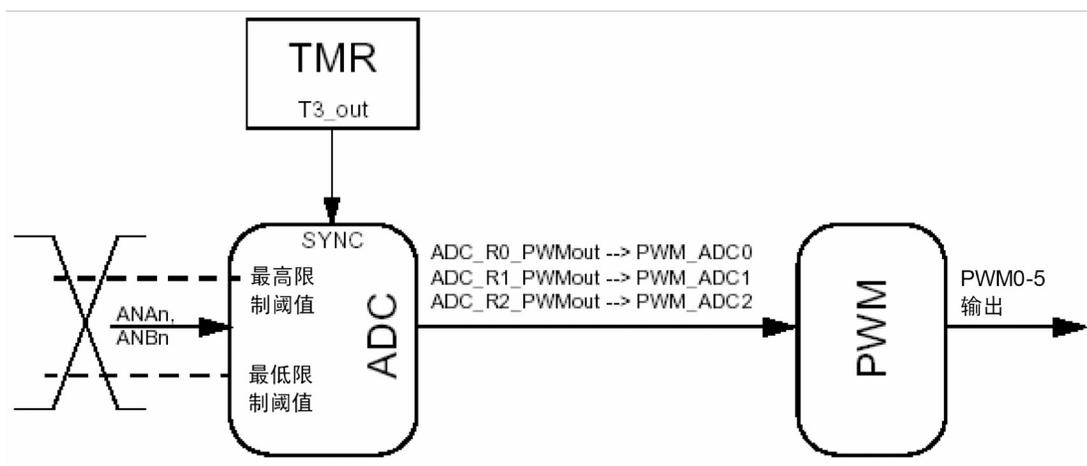


图 8. 驱动 PWM 输出的 ADC 输入

表 9. PWM 输出¹ 的定时器驱动 ADC 控制设置

外设 / 寄存器配置	初始化步骤
GPIO	所有 I/O 引脚的默认功能都是 GPIO，因此所有必需的 PWM 信号必须配置 GPIOA_PEREN 寄存器，以选择引脚的外设控制。在完成该操作之前，首先必须配置 SIM_GPS 寄存器，为 GPIOA4 和 GPIOA5 引脚选择必备的 PWM 功能。
SIM-PCE	使能 ADC、TMR 和 PWM 这些外设的时钟。
ADC	根据表 9-3 配置 ADC（请用触发式连续模式替换环式连续模式）。
PWM	<ol style="list-style-type: none"> 1. 置 PWM，提供正常的互补操作。 2. 将 PWM_OUT 寄存器的 OUTCTLn 位设置为 1。 3. 按照图 6 设置 PWM_SCTRL 寄存器。 4. 设置其它寄存器，为您的应用提供正确的交换、掩码、死区和故障设置。
定时器	将定时器 3 配置为计数模式，以便达到规定速率时产生 OFLAG 上升沿。一旦定时器启动，系统将开始运行。

¹ 本例假设您想对每对 PWM 输出进行单个控制。

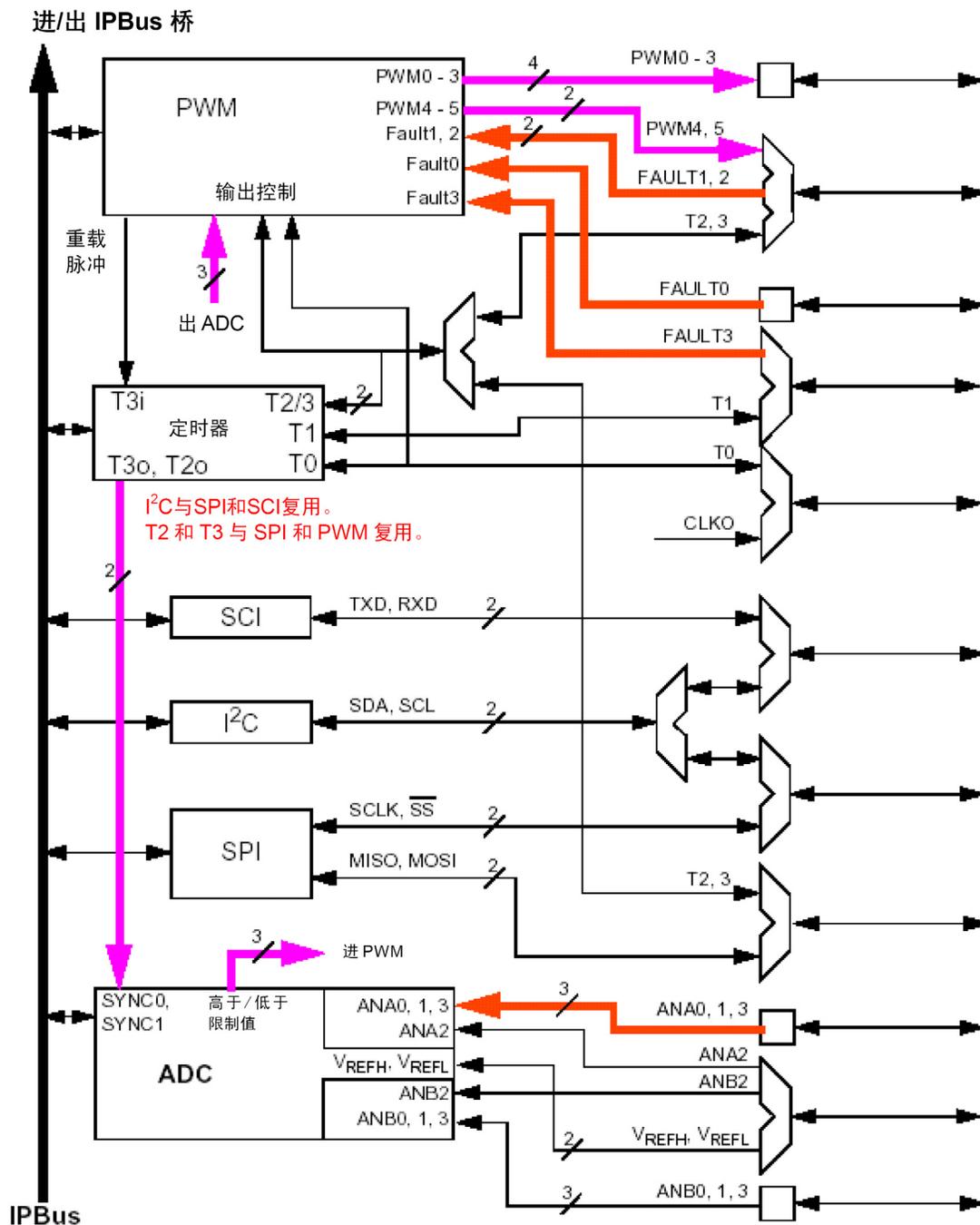


图 9. 提供 PWM 输出 ADC 控制的定时器驱动 ADC 采样

9.4 定时器控制 PWM 输出

传统的 PWM 操作使用单个寄存器 (PWM_CMOD) 控制每个 PWM 输出的控制信号周期。周期设置完毕后, 将 PWM 的占空比值写到相应的 VALUE 寄存器 (PWM_VAL0 - 5) 上。该操作对 3 相电机控制十分有效, 在其它应用中有一定局限。

PWM 控制

现在可以使用 PWM 定时器控制一个（或多个）输入互补对，同时还可以使用 Quad Timer 定时器控制其它 PWM 输出对。本例将讨论，如何在不使用 PWM 计数器的情况下，使用 Quad Timer 控制 PWM 输出的互补对。图 10 表示定时器驱动 PWM 模块。

表 10 表示哪些定时器通道可以驱动不同的 PWM 输出。注意，定时器 1 不能直接提供电机控制功能。

表 11 显示设置该控制的相关步骤。

表 10. PWM 补充对控制的定时器通道

定时器输出	PWM 通道
#0	驱动 PWM0/PWM1 对。 该定时器还可以控制 PWM2/PWM3 和 PWM4/PWM5 输出。
#2	驱动 PWM2/PWM3
#3	驱动 PWM4/PWM5

表 11. PWM 输出的定时器控制设置

外设 / 寄存器配置	初始化步骤
GPIO	所有 I/O 引脚的默认功能都是 GPIO，因此所有必需的 PWM 信号必须配置 GPIOA_PEREN 寄存器，以选择引脚的外设控制。在完成该操作之前，首先必须配置 SIM_GPS 寄存器，为 GPIOA4 和 GPIOA5 引脚选择必备的 PWM 功能。
SIM-PCE	使能 TMR 和 PWM 这些外设的时钟。
PWM	1. 配置 PWM，提供正常的互补操作。 2. 如果 3 对 PWM 输出对需要独立控制，请按照图 11 设置 PWM_SCTRL 寄存器。图 9-10 表示所有 PWM 输出对由定时器 #0 控制时的 PWM_SCTRL 寄存器设置。其它组合也可以使用。 3. 设置其它寄存器，为您的应用提供正确的交换、掩码、死区和故障设置。
定时器	按固定频率或可变频率 PWM 模式配置定时器。 可变频率模式更加灵活，因而可能是更好的选择。 参见《56F8000 外设参考手册》中的 Quad Timer 章节，了解本设置的更多信息。

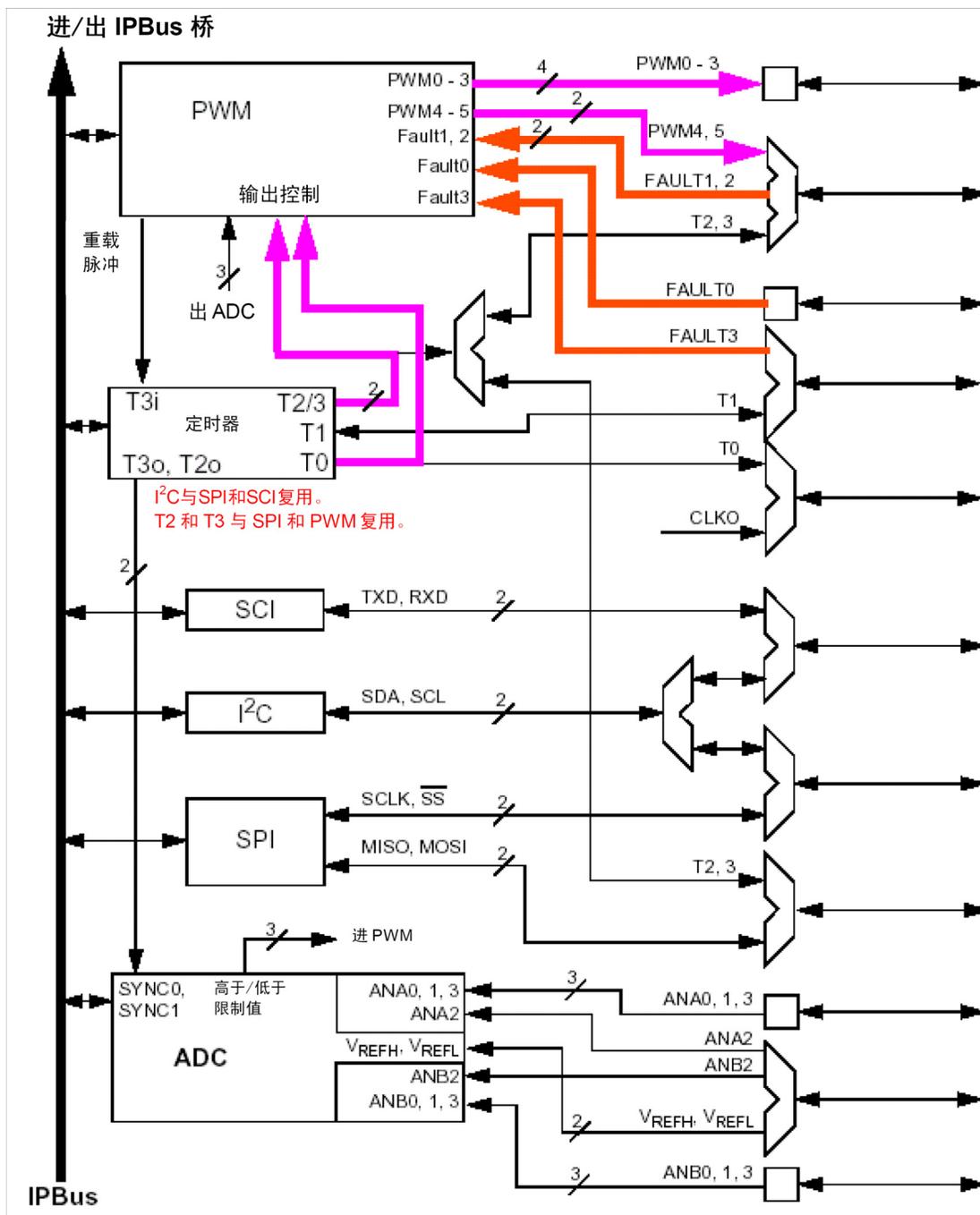


图 10. . PWM 输出的定时器控制

PWM_BASE+14	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
读写	0	0	CINV	CINV	CINV	CINV	CINV	CINV	SRC2			SRC1		SRC0		
内容	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	1

图 11. PWM 源控制寄存器 (SCTRL) 定时器 T0、T2 和 T3 控制 PWM 输出

PWM_BASE+14	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
读写	0	0	CINV	CINV	CINV	CINV	CINV	CINV	SRC2			SRC1		SRC0		
内容	0	0	0	0	0	0	0	0	1	0	0	1	0	0	1	1

图 12. PWM 源控制寄存器 (SCTRL) 定时器 T0 控制所有 PWM 输出

9.5 由外部引脚控制的 PWM 输出

某些应用需要基于外部控制的 PWM 输出。56F801x 设备具有这种灵活性。当外部控制 PWM 输出时，它仍能通过 PWM 模块交换和掩码功能实现死区插入。

图 14 用绿色表示正在使用的控制信号。注意，由于这些信号来自定时器输入，因此它们可以通过相同的 MUX 集。参见表 3 到表 5，详细了解如何支持这些信号实现 PWM 控制输入存取。

不能通过这些控制中断处理器，通过定时器间接中断除外（参见 9.6 节 带 ADC 采样触发的由外部引脚控制的 PWM 输出）。

表 12. PWM 输出的外部控制设置

外设 / 寄存器配置	初始化步骤
GPIO	所有 I/O 引脚的默认功能都是 GPIO，因此所有必需的 PWM 信号必须配置 GPIOA_PEREN 寄存器，以选择引脚的外设控制。在完成该操作之前，首先必须配置 SIM_GPS 寄存器，为 GPIOA4 和 GPIOA5 引脚选择必备的 PWM 功能。用于 PWM 控制的 GPIO 引脚是为 GPIO 控制，而不是外设控制配置的（PEREN 寄存器位必须设置为 0）。注意，将该引脚配置为输入时，DDIR 控制位必须设置为 0。
SIM-PCE	使能 PWM 这些外设的时钟。
PWM	1. 配置 PWM，提供正常的互补操作。 2. 如果 3 对 PWM 输出需要独立控制，请按照图 9-11 设置 PWM_SCTRL 寄存器。也可以使用其它组合。 3. 设置其它寄存器，为您的应用提供正确的交换、掩码、死区和故障设置。

PWM_BASE+14	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
读写	0	0	CINV	CINV	CINV	CINV	CINV	CINV	SRC2			SRC1		SRC0		
内容	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1	0

图 13. PWM 源控制寄存器 (SCTRL)

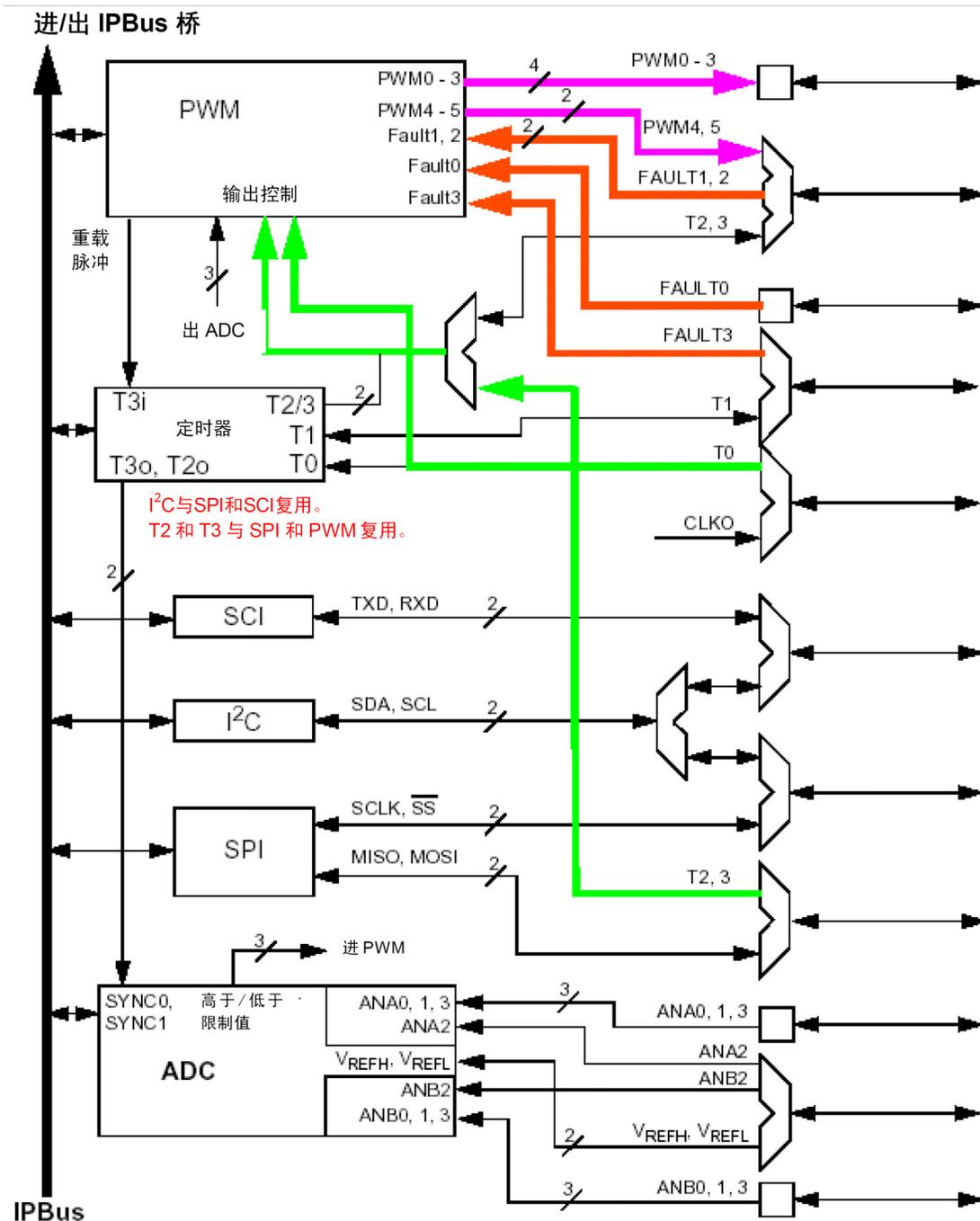


图 14. 外部引脚控制 PWM 输出

9.6 带 ADC 采样触发的由外部引脚控制的 PWM 输出

9.5 节 由外部引脚控制的 PWM 输出的示例可以在任意延迟后，提供处理器中断。延迟的中断可以用来触发 ADC 采样扫描。图 15 对此进行了演示，此处不再详细论述。根据需要，前面这个例子还可以介绍如何设置该操作。

- 可以根据需求重新配置 OCCS，提供更低频率的定时选项。
- 内部张弛振荡器可以在 400KHz（而不是 8MHz）的待机频率下运行。
- 在许多情况下，片上电压调整器都可以设置为节能模式。
- ADC 可以采用五种电源管理模式中的任一模式运行。

11 参考资料

- 56F8300 外设用户手册，MC56F8300UM
- 56F8000 外设参考手册，MC56F8000RM

联系我们：

主页：

www.freescale.com

技术支持网站：

<http://www.freescale.com/support>

美国 / 欧洲或未列出的地点：

Freescale Semiconductor, Inc.
Technical Information Center, EL516
2100 East Elliot Road
Tempe, Arizona 85284
1-800-521-6274 or +1-480-768-2130
www.freescale.com/support

欧洲、中东和非洲：

Freescale Halbleiter Deutschland GmbH
Technical Information Center
Schatzbogen 7
81829 Muenchen, Germany
+44 1296 380 456 (English)
+46 8 52200080 (English)
+49 89 92103 559 (German)
+33 1 69 35 48 48 (French)
www.freescale.com/support

日本：

Freescale Semiconductor Japan Ltd.
Headquarters
ARCO Tower 15F
1-8-1, Shimo-Meguro, Meguro-ku,
Tokyo 153-0064
Japan
0120 191014 or +81 3 5437 9125
support.japan@freescale.com

亚太地区：

飞思卡尔半导体（中国）有限公司
北京市朝阳区建国路乙 118 号京汇大厦 23 层 100022
+86 10 5879 8000
support.asia@freescale.com

索取技术资料：

Freescale Semiconductor Literature Distribution Center
P.O. Box 5405
Denver, Colorado 80217
1-800-441-2447 or +1-303-675-2140
Fax: +1-303-675-2150
LDCForFreescaleSemiconductor@hibbertgroup.com

文档号：AN3102

第 0 版

2005 年 9 月

Information in this document is provided solely to enable system and software implementers to use Freescale Semiconductor products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits or integrated circuits based on the information in this document.

Freescale Semiconductor reserves the right to make changes without further notice to any products herein. Freescale Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Freescale Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in Freescale Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals", must be validated for each customer application by customer's technical experts. Freescale Semiconductor does not convey any license under its patent rights nor the rights of others. Freescale Semiconductor products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Freescale Semiconductor product could create a situation where personal injury or death may occur. Should Buyer purchase or use Freescale Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold Freescale Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Freescale Semiconductor was negligent regarding the design or manufacture of the part.

RoHS-compliant and/or Pb-free versions of Freescale products have the functionality and electrical characteristics as their non-RoHS-compliant and/or non-Pb-free counterparts. For further information, see <http://www.freescale.com> or contact your Freescale sales representative.

For information on Freescale's Environmental Products program, go to <http://www.freescale.com/epp>.

Freescale™ and the Freescale logo are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners.

© Freescale Semiconductor, Inc. 2005-2008. All rights reserved.

