

S12VR 硬件设计指南

作者: Carlos Aceff

1 简介

该文档列出了所需的外部元器件，并展示如何连接，以在任何应用中使用 MC9S12VR 系列的 S12 MagniV 微控制器。此外，还列出了用于扩展 MCU 应用范围的推荐外部元器件。最后，还包含印刷电路板 (PCB) 设计建议部分，以及布局 and 走线建议，可以提升电磁耦合的抗干扰能力并降低电磁辐射。

2 硬件设计指南

2.1 稳压器

对于 VSUP，将一个 10 μ F 的电解电容与一个 220 nF X7R 的陶瓷电容并联，以消除电池纹波。此外，VSUP 线需要保护防止电池反接的情况（例如，使用二极管）。

还可以添加一个电容用于充电，从而在电池耗尽时提供电源。该电容值取决于任务和关闭 MCU 所需的时间。

电压调节器具有以下输出：VDDX1 和 VDDX2。这些引脚为 5V 电源，为 I/O 驱动器供电，需要从外部将其相连。

VDDX1 和 VDDX2 应连接到以下外部电容：

内容

1	简介.....	1
2	硬件设计指南.....	1
2.1	稳压器.....	1
2.2	复位电路.....	2
2.3	BKGD、测试、中断引脚和未使用的引脚.....	3
2.4	模数转换器模块，高电压输入.....	3
2.5	高边驱动、低边驱动和 EVDD.....	3
2.6	LINPHY.....	4
3	PCB 设计建议.....	5
3.1	通用布局注意事项.....	5
3.2	外部振荡器布局.....	5
3.3	电压调节器元器件布局.....	6
4	结语.....	7
5	参考.....	7
6	修订历史记录.....	8

1. 为了环路的稳定性以及电压调节器的正常工作，需要一个 10 μF 的钽电容。可用 4.7 μF X7R 陶瓷电容取代该电容。
2. 220 nF X7R 陶瓷电容有助于保护由开关负载焊盘引起的尖峰。这些电容必须连接到 VDDX1、VDDX2 和 VDDA
3. 为了降低 RF 辐射，提升电源质量，必须在电路中添加一对并联的 10 nF 电容。

注

通常，这些电容必须尽可能地靠近 IC 放置，以降低射频发射。

此外，VDDA 在电路板上必须从外部与 VDDX1/VDDX2 相连。VSSA 也必须从外部与 VSSX1/VSSX2 和 VSS 连接到同一个地平面。

可以将 VSENSE 直接与电池线相连（无需电池反接保护），因为该引脚本身已具有保护。不过，需要一个 10 K Ω 的串联电阻以在快速导通时保护器件。

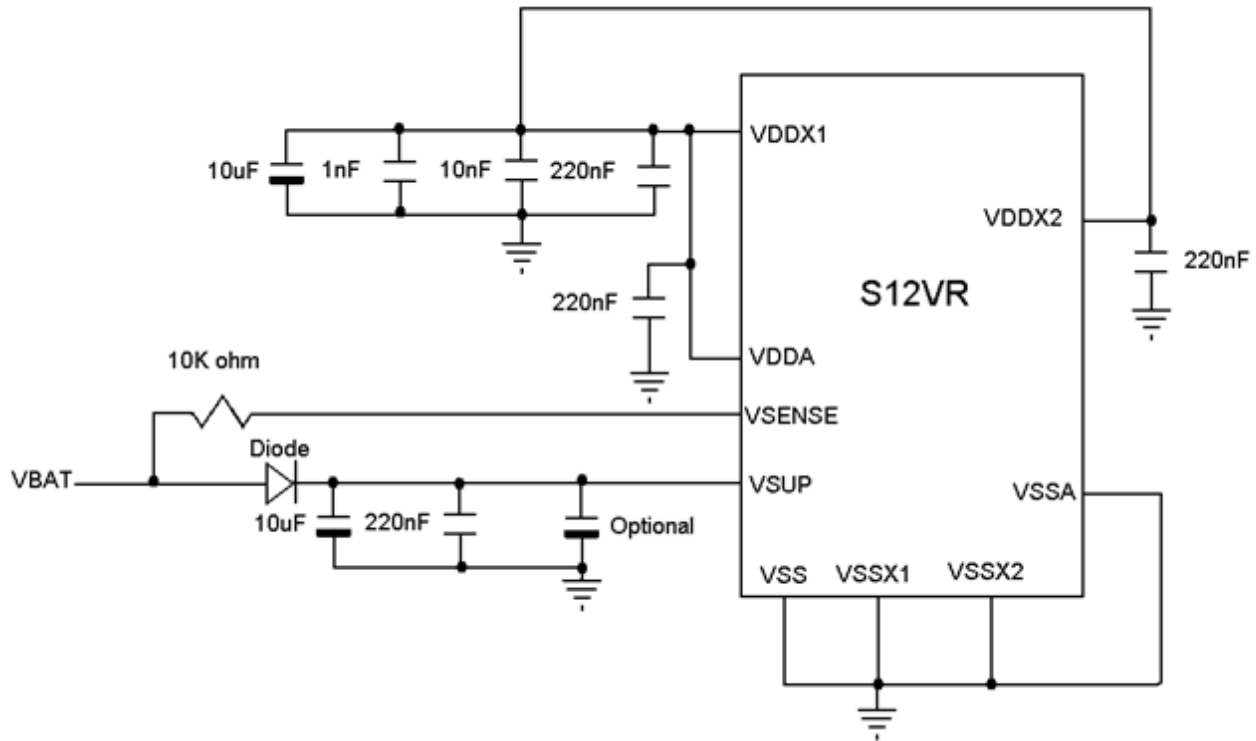


图 1. 稳压器

2.2 复位电路

复位线是一条双向线。可通过以下任一方法使用：

- 外部电路可通过下拉此线来发起 MCU 复位。
- MCU 可以发起复位

当 MCU 由于 COP 或时钟监视器复位而发起外部复位时，请注意在复位被拉低后，复位线的外部拉低时间不能超过 24 μs 。否则，CPU 将读取外部引脚 RESET 向量地址 (0xFFFE)，而不是相应的 COP 或时钟监视器复位向量地址。

为了在复位线上提供去抖电容，可以在电路中添加一个二极管（例如，BAV10）。二极管使电容在一段时间周期内充电，即 MCU 在 COP 或时钟监视器复位事件时下拉复位线；从而 MCU 会读取正确的复位向量地址。参见图 2。

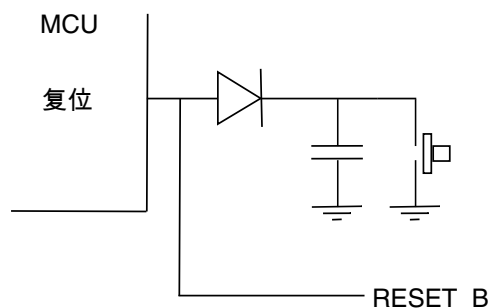


图 2. 复位电路

复位线上无需外部上拉电阻，因为 MCU 已具有一个 5 K Ω 电阻。

2.3 BKGD、测试、中断引脚和未使用的引脚

BKGD 线需要一个范围在 4.7 K Ω 至 10 K Ω 的外部上拉电阻。可以在该引脚上连接一个 10 pF 电容用于过滤信号。然而，不建议使用较大值，因为这会影响用于编程 MCU 的信号的压力率。

TEST 线仅用于飞思卡尔出厂测试。在任何实际应用中，该引脚必须接地。

使用的中断引脚应具有相应的内部上拉或下拉电阻配置，用于防止错误的中断检测。如果中断发生在低边沿或低电平，则必须具有上拉配置；反之，则应具有下拉配置。具有中断引脚的常用模块有键盘中断 (KBI)、定时器 (TIM) 模块和 IRQ 及 XIRQ 引脚。

未使用的数字引脚需具有内部上拉或下拉电阻配置。这将确保始终知道其状态。

如果未使用高边驱动，则将 VSUPHS 连接到电池反接保护参考电压，并且不连接未使用的 HSX。

如果未使用低边驱动，则将 LSGND 接地，并且不连接未使用的 LSX。

如果未使用 LINPHY，则将 LGND 接地，并且使相应的 LIN 终端悬空。

2.4 模数转换器模块，高电压输入

为了在最大漏电流下，使 10 位分辨率的最大误差低于 1/2LSD (2.5 mV)，最大源阻抗应为 1 K Ω 。

高电压输入需要一个 10 K Ω 的外部电阻，以在快速导通时保护器件，并且在模拟模式下实现指定的引脚输入分频比。

2.5 高边驱动、低边驱动和 EVDD

VSUPHS 高边驱动器电源引脚必须连接到电源反接保护线，通常会通过一个二极管连接。该引脚可直接连接到 VSUP 引脚，也应通过二极管进行保护。

注

高边驱动器的标称工作电流为 50 mA，因此必须考虑使用阻性负载。

注

在掩模组 2N05E 上，高边驱动器不能驱动容性负载。这样做会激活过流关断电路。掩模组 0N59H 包含一个过流故障屏蔽逻辑。这可以在高边驱动器激活后屏蔽小于 10 μ s 的故障，因此通过将相应的小电容连接到该引脚可以屏蔽过流。

低边驱动器可以在 10 KHz 频率下驱动最高 450m 亨利 (H) 的线圈；需要一个电池反接保护电路。因此，线圈的另一端可连接到 VSUP 引脚，也应通过二极管进行保护。LSGND 引脚必须连接到与稳压器相同的地。

连接示例请参见图 3。

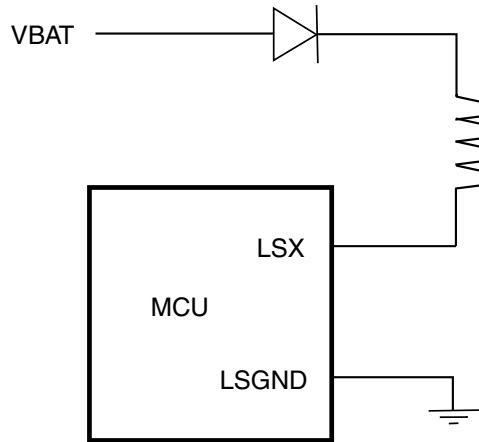


图 3. 下桥臂驱动器的建议电路

注

这些器件不驱动容性负载；这样做会激活过流关断电路。

EVDD 不需要除驱动负载以外的其他外部组件 (5V 时为 20 mA)。

2.6 LINPHY

当配置为主节点时，必须在此线上添加一个 1 KΩ 的上拉电阻。当配置为从节点时，无需外部上拉电阻，因为模块自带一个可配置的上拉从电阻。还建议添加一个 0.22 nF X7R 电容，连接在 LIN 和 LGND 之间。如果 LIN 总线的总电容超出最大允许总线总电容(10 nF)，或在整个系统中的最大 LIN 时间常数超过 5 μs，就可能需要降低该电容值。

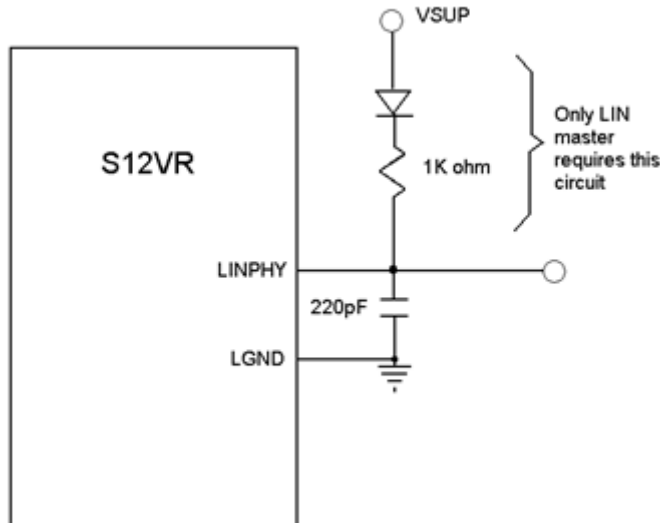


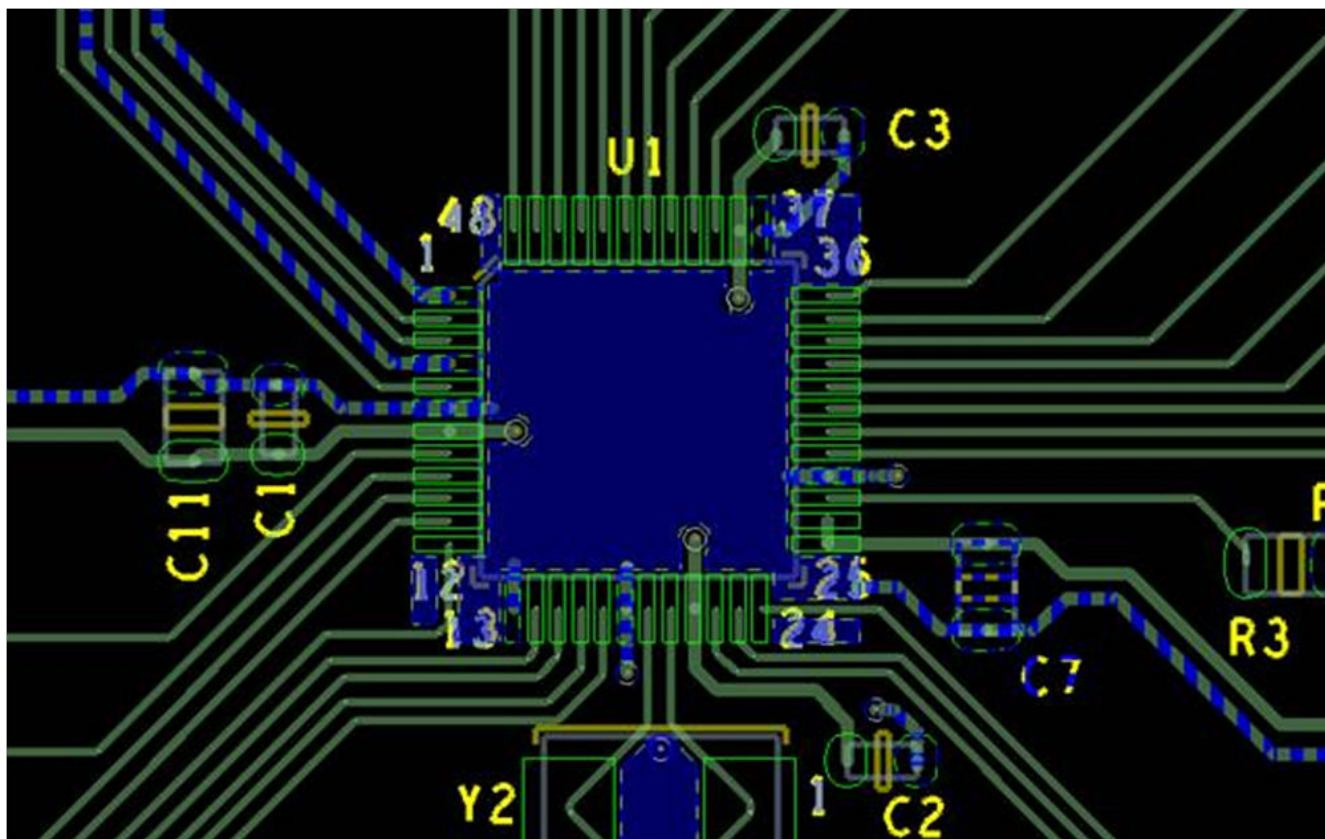
图 4. LINPHY 组件

3 PCB 设计建议

3.1 通用布局注意事项

为了帮助 MCU 散热（降低热阻抗和允许更低的工作结温），建议保留一块方形覆铜，使其连接到安装 MCU 的同一个地平面。使用该覆铜来连接所有返回到地的引脚。

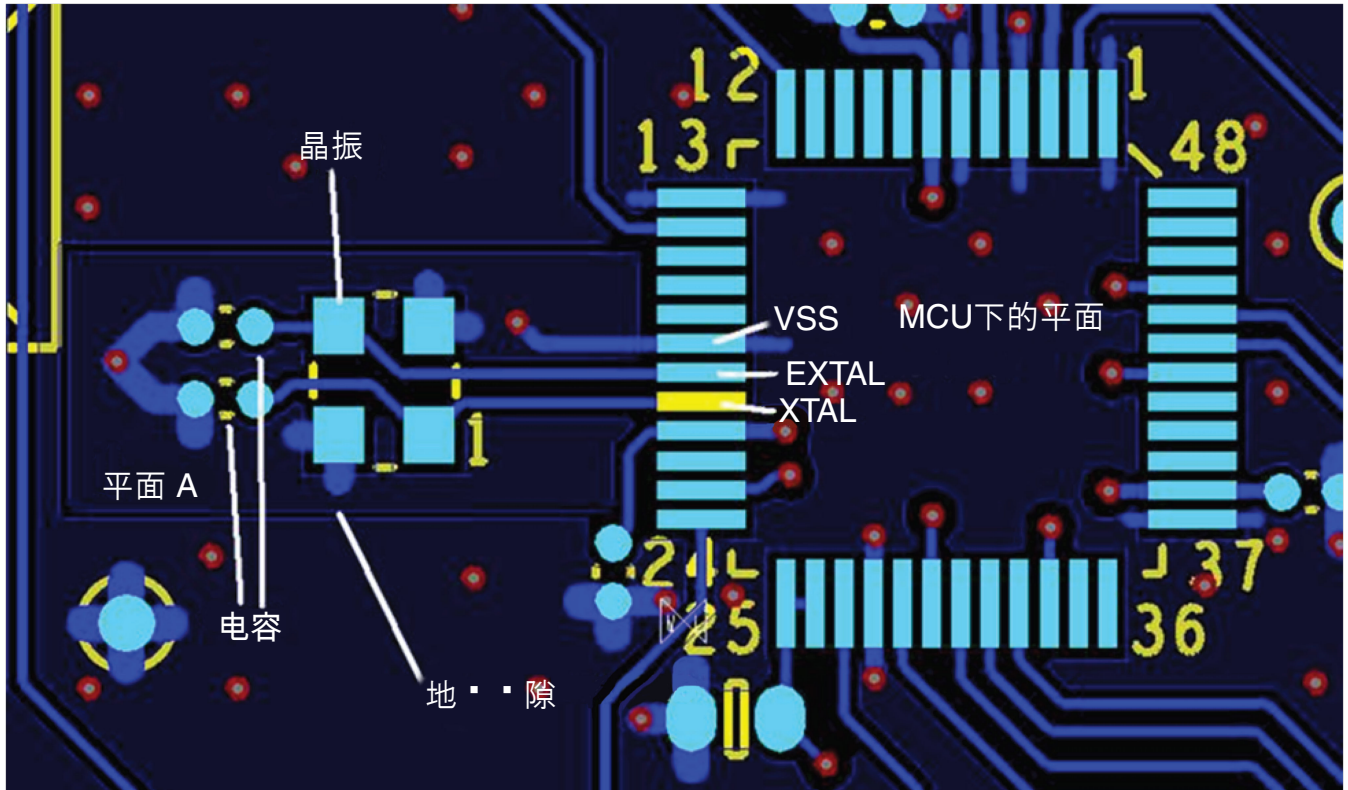
为了提升 EMC 抗扰性，在安装 MCU 的下一层放置一块覆盖整个电路板区域的平面并连接到地。该平面也会帮助散热。



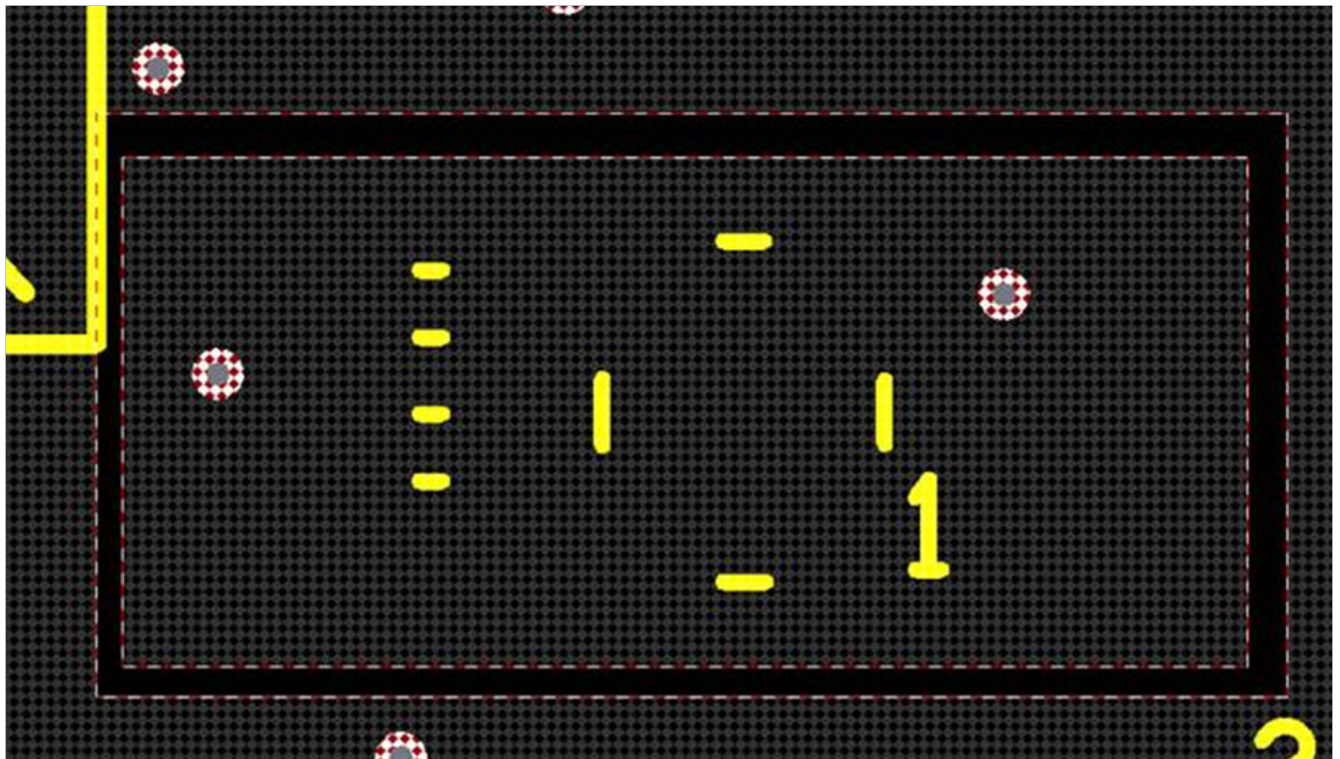
在上图中，蓝色区域为放置在 MCU 下方的覆铜（U1）。请注意，MCU 通过 PIN 25 供电，覆铜作为 MCU 的返回地使用。

3.2 外部振荡器布局

为了降低电磁辐射，将晶振和相关电容靠近 MCU 放置。为了提升对于电磁耦合的抗扰性，可以遵循类似下图所示的布局。在该布局中，晶振/谐振器靠近 MCU 放置，相关电容靠近晶振/谐振器放置。在电磁耦合发生处，添加覆铜（在图中标为“Plane A”）将晶振/谐振器电路走线与其他覆铜或走线分开。由于 VSS 引脚（PIN 18）是来自内核和外部振荡器电路的返回 GND，建议使用该引脚作为覆铜（在图中标为“Plane A”）的参考地。



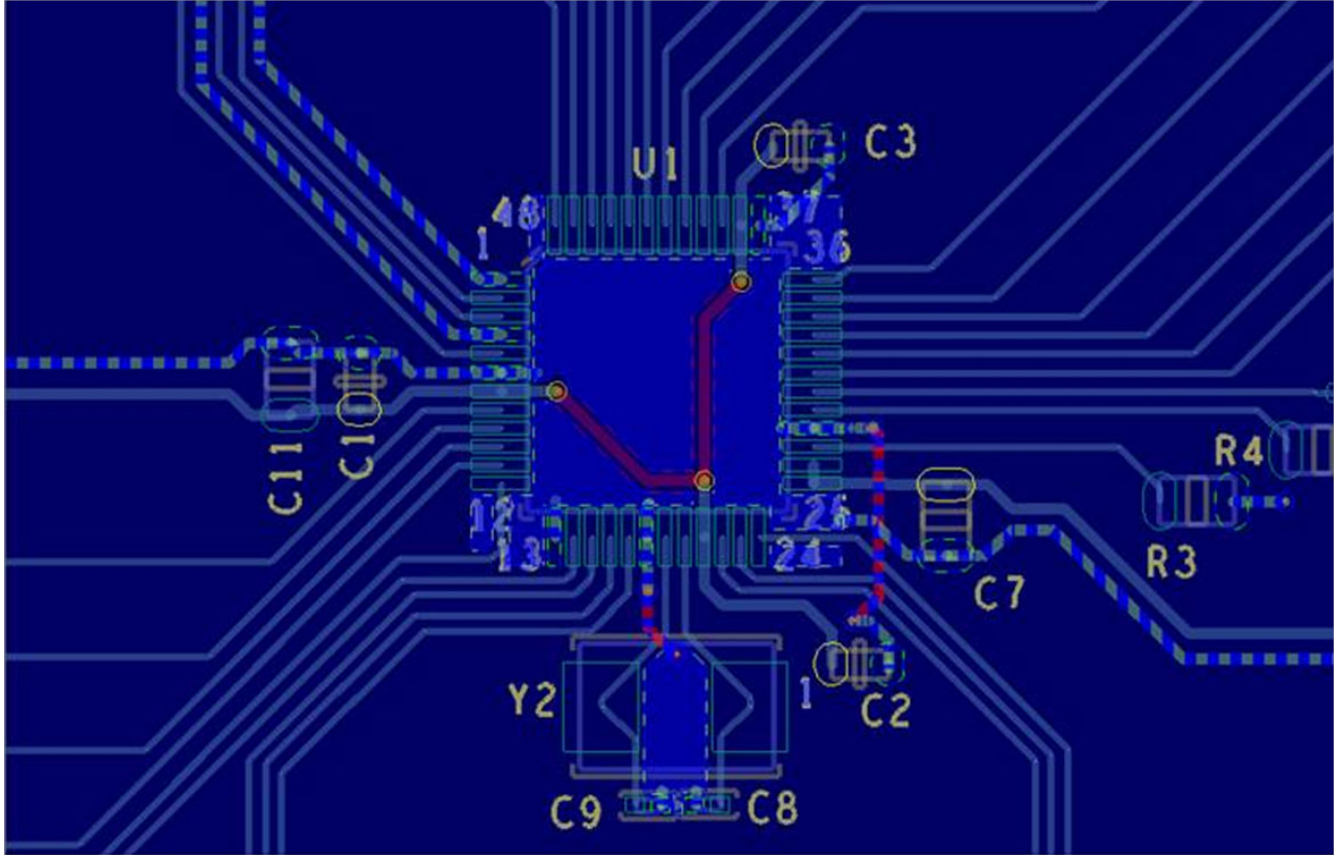
为了进一步将该电路与其他层上的其他走线或覆铜隔离，建议在晶振/谐振器电路所在的层下方添加另一层覆铜。该覆铜将利用两个通孔以 VSS 作为参考地：一个直接连接到 VSS 引脚，另一个靠近电容的返回 GND 连接。



3.3 电压调节器元器件布局

为了降低电磁辐射，将 220 nF 电容（以尽可能小的封装）靠近以下引脚放置：VSUP (PIN 25)、VDDX1 (PIN 7)、VDDX2 (PIN 21) 和 VDDA (PIN 38)。

VDDX1、VDDX2 和 VDDA 引脚之间的距离应短接；为了缩短这些走线的长度，应使用内部层在 MCU 下走线。为了收集所有的 MCU 地，避免分割 MCU 正下方的覆铜；使用内部层在 MCU 下方进行走线。



上图显示了靠近 MCU 放置的 220 nF 的 C7、C2、C1 和 C3 电容。利用两个通孔连接电容 C2 的返回地 (VSSX2 引脚)。然而，如果允许双面安装，则将该电容安装在 MCU 的背面，并靠近需要连接的引脚。图中的红色直线表示需要短接 5V 稳压器输出和 VDDA 的走线。这些走线位于 MCU 所在层的下一层。

4 结语

除了必须连接到 MCU 的多个外部元器件，还推荐一些元器件用于扩展使用范围。这些元器件列在本文档的不同章节中。

此外，合适的布局和布线有助于提升系统的抗扰性并降低辐射。

5 参考

Freescale Semiconductor, *MC9S12VR Family Reference Manual (MC9S12VRRMV2)*, <http://www.freescale.com/magniv>

6 修订历史记录

修订版本号	日期	变动说明
0	03/2013	初始版本。
1	10/2013	<ul style="list-style-type: none"> • 复位电路：删除了图中的外部上拉电阻，修改内容以说明在复位线上无需外部上拉。将第二段中的文字修改为“否则，CPU 将读取外部引脚 RESET 向量地址 (0xFFFE)，而不是相应的 COP 或时钟监视器复位向量地址” (原来是“否则，MCU 将触发外部引脚 RESET 异常，而不是...”)。在第三段中添加了句子：“二极管使电容在一段时间周期内充电，即 MCU 在 COP 或时钟监视器复位事件时下拉复位线；从而 MCU 会读取正确的复位向量地址。” • BKGD、测试、中断引脚和未使用的引脚：从第三段中删除了“建议使用范围在 4.7 至 10 KΩ 的外部电阻来上拉或下拉中断引脚”，并将第四段文字修改为“未使用的数字引脚需具有内部上拉或下拉电阻配置”。“这将确保始终知道其状态。” (原来是“未使用的数字引脚需要上拉或下拉电阻，从而可以通过设定引脚高或低来降低这些引脚上消耗的电流.. EXTAL 和 XTAL 之后随着下拉复位，如果不使用则必须连接到 GND”)。将第六段中的文字修改为“如果未使用下桥臂驱动器，则将 LSGND 接地，并且不连接未使用的 LSX” (原来是“如果未使用下桥臂驱动器，则将 LSGND 接地，并且仍然连接相应的下桥臂驱动器”)。 • 模数转换器模块，高电压输入：将第一段中的文字修改为“为了在最大泄露电流下，使 10 位分辨率的最大误差低于 1/2LSD (2.5 mV)，最大源阻抗应为 1 KΩ” (原来是“为了保护模拟输入免受破坏性输入电流 (最大 +/-2.5 mA) 的影响，必须采用 1 KΩ 的串联电阻对这些线进行保护”)。 • 高边驱动、低边驱动和 EVDD：将“其标称工作电压为 7 V 至 18 V1”替换为“该引脚可直接连接到 VSUP 引脚，也应通过二极管进行保护”，并修改了关于掩模组 0N59H 的注释。将第一个注释的内容修改为“上桥臂驱动器的标称工作电流为 50 mA，因此必须考虑使用阻性负载” (原来是“上桥臂驱动器的最大工作电流为 50 mA，因此必须考虑使用阻性负载”)。将第二个注释的内容修改为“将相应的小电容连接到该引脚” (原来是“该引脚上的小电容”)。将第二段中的文字修改为“下桥臂驱动器可以在 10 KHz 频率下驱动最高 450m 亨利(H)的线圈；需要一个电池反接保护电路。因此，线圈的另一端可连接到 VSUP 引脚，也应通过二极管进行保护” (原来是“下桥臂驱动器可以在 10 KHz 频率下驱动最高 450m 亨利(H)的线圈；建议使用一个二极管。LSGND 引脚必须连接到与稳压器相同的地”)。 • 稳压器：将第三段中的文字修改为“这些引脚为 5V 电源，为 I/O 驱动器供电，需要从外部将其相连” (原来是“这些引脚为 5V 电源，为 I/O 驱动器供电，在内部通过金属连接”)。在电容列表中，将第一项的“湿式化学电容”修改为“钽电容”。增加句子：“可用 4.7 μF X7R 陶瓷电容取代该电容。” • 对全文内容进行了修改和提高。

How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。

Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。

Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale, the Freescale logo, and Kinetis, are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners.

© 2012, 2013 Freescale Semiconductor, Inc.

© 2012, 2013 飞思卡尔半导体有限公司